



(19)

(11) Publication number: **10190465 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **09024175**(51) Intl. Cl.: **H03M 1/44 H04N 5/335**(22) Application date: **06.02.97**(30) Priority: **09.02.9607.05.9605.11.96
JPJPJP 08
235680811245908292936**(43) Date of application publication: **21.07.98**

(84) Designated contracting states:

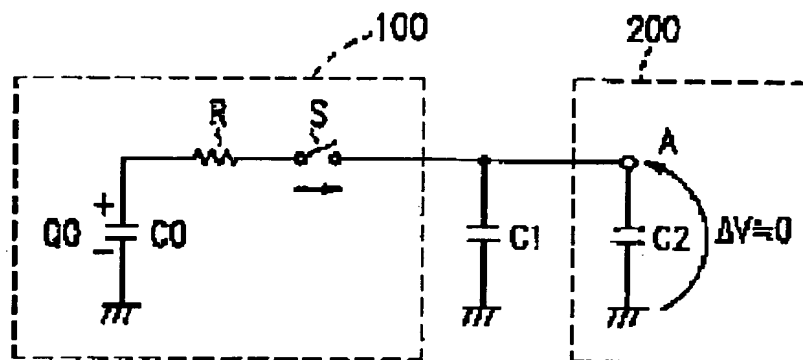
(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **KUSUMOTO KEIICHI
MURATA KENJI
MATSUZAWA AKIRA
OKAMOTO YOICHI**

(74) Representative:

**(54) SIGNAL
TRANSMISSION CIRCUIT,
SIGNAL TRANSMISSION
METHOD, A/D
CONVERTER AND
SOLID-STATE IMAGE
PICKUP ELEMENT****(57) Abstract:**

PROBLEM TO BE SOLVED: To transmit signals at a high speed with small driving power by supplying charges corresponding to input signals to a first capacitor, providing a means for transferring the charges from the first capacitor to a second capacitor and making the second capacitor larger than the first capacitor.

SOLUTION: A transfer part 100 outputs the charges corresponding to the input signals to a conversion part 200 and the conversion part 200 receives the charges and outputs signals corresponding to the received charges. When a switch S is changed from OFF to ON, the charges Q0 stored in a capacitor C0 are moved to the capacitors C1 and C2. When the capacitor C1+C2 is sufficiently larger than the capacitor C0, the capacitor C1+C2 is as if a ground at the time of viewing from the side of the capacitor C0 and the capacitor C0 were short-circuited through a resistor R. A circuit time constant becomes $C0 \cdot R$ and the high speed signal transmission of low power is performed by making the capacitor C0 small. Also, since the ratio of the charges of the



capacitors C1 and C2 is proportional to a capacitor ratio, when the capacitor C2 is larger than the capacitor C1, almost all the charges of the capacitor CO are stored in the capacitor C2.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-190465

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 1/44

H 0 3 M 1/44

H 0 4 N 5/335

H 0 4 N 5/335

F

審査請求 有 請求項の数17 O L (全 20 頁)

(21) 出願番号 特願平9-24175

(22) 出願日 平成9年(1997) 2月6日

(31) 優先権主張番号 特願平8-23568

(32) 優先日 平8(1996) 2月9日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-112459

(32) 優先日 平8(1996) 5月7日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-292936

(32) 優先日 平8(1996) 11月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 楠本 馨一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 村田 健治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 松澤 昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 山本 秀策

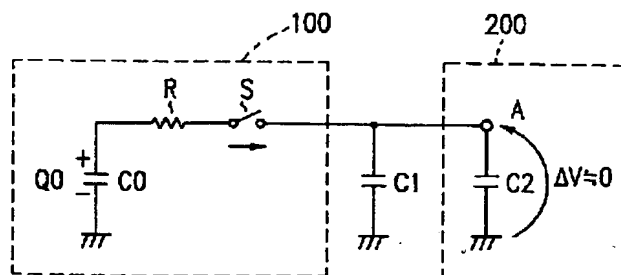
最終頁に続く

(54) 【発明の名称】 信号伝達回路、信号伝達方法、A/D変換器および固体撮像素子

(57) 【要約】

【課題】 アナログ信号を大きな寄生容量をもつ信号線を介して、小さい駆動能力で高速に伝達する信号伝達回路、信号伝達方法、A/D変換器および固体撮像素子を提供する。

【解決手段】 第1容量と、入力信号に対応する電荷を第1容量に与える電荷供給部と、第2容量と、電荷を第1容量から第2容量へ転送する転送手段と、を備えており、第2容量は第1容量よりも大きい。



【特許請求の範囲】

【請求項1】 入力信号を受け取り、該入力信号に対応する出力信号を出力する信号伝達回路であって、第1容量と、該入力信号に対応する電荷を該第1容量に与える電荷供給部と、第2容量と、該電荷を該第1容量から該第2容量へ転送する転送手段と、を備えており、該第2容量は、該第1容量よりも大きい信号伝達回路。

【請求項2】 前記第2容量に転送された電荷に対応する出力信号を生成する変換手段をさらに備えている請求項1に記載の信号伝達回路。

【請求項3】 前記第1容量は、第1端子および第2端子を有し、前記第2容量は、第1端子および第2端子を有し、前記転送手段は、該第1容量の第1端子および該第2容量の第1端子の接続状態を変化させるスイッチであり、該第1容量の第2端子は、該第2容量の第2端子に接続されている請求項2に記載の信号伝達回路。

【請求項4】 前記電荷供給手段は、ドライバアンプを有する請求項3に記載の信号伝達回路。

【請求項5】 前記電荷供給手段は、光の照射によって電荷を発生する半導体素子を有する請求項3に記載の信号伝達回路。

【請求項6】 前記変換手段は、入力端子の信号を増幅して、該増幅された信号を出力端子に出力する増幅器と、該入力端子および該出力端子に接続された容量と、を有する請求項3に記載の信号伝達回路。

【請求項7】 前記変換手段は、可変容量を有する請求項3に記載の信号伝達回路。

【請求項8】 入力電圧を受け取り、該入力電圧に対応するデジタル信号を出力するA/D変換器であって、該入力電圧および参照電圧の差に対応する電圧を増幅する第1増幅回路と、該第1増幅回路から出力される電圧を保持する保持容量と、該保持容量に充電された電圧を増幅する第2増幅回路と、該第1増幅回路と該第2増幅回路とを接続する配線による寄生容量と、該第1増幅回路と該保持容量との間に設けられた第1スイッチと、該保持容量と該寄生容量との間に設けられた第2スイッチと、を備えており、第1状態において、該第1スイッチはオンであり、該第2スイッチはオフであり、第2状態において、該第1スイッチはオフであり、該第2スイッチはオンであるA/D変換器。

【請求項9】 入力信号を受け取り、該入力信号に対応する出力信号を出力する信号伝達方法であって、該入力信号に対応する電荷を第1容量に蓄積する蓄積ステップと、該蓄積された電荷を該第1容量から第2容量へ転送する転送ステップと、を包含する信号伝達方法。

【請求項10】 前記第2容量に転送された電荷に対応する出力信号を生成する変換ステップをさらに包含する請求項9に記載の信号伝達方法。

10 【請求項11】 前記転送ステップおよび前記変換ステップが同時におこなわれる請求項10に記載の信号伝達方法。

【請求項12】 前記変換ステップは、入力端子の信号を増幅して、該増幅された信号を出力端子に出力する増幅器と、該入力端子および該出力端子に接続された容量と、を用いる請求項10に記載の信号伝達方法。

【請求項13】 前記変換ステップは、可変容量を用いる請求項10に記載の信号伝達方法。

20 【請求項14】 入射光を受け取り、該入射光に対応する出力信号を出力する固体撮像素子であって、第1容量と、該入射光に対応する電荷を該第1容量に与える電荷供給部と、第2容量と、該電荷を該第1容量から該第2容量へ転送する転送手段と、を備えており、該第2容量は、該第1容量よりも大きい固体撮像素子。

30 【請求項15】 前記電荷供給部がフォトダイオードであって、前記第1容量が該フォトダイオードの寄生容量である請求項14に記載の固体撮像素子。

【請求項16】 前記第2容量に転送された電荷に対応する出力信号を生成する変換手段をさらに備えている請求項15に記載の固体撮像素子。

【請求項17】 前記変換手段は、入力端子の信号を増幅して、該増幅された信号を出力端子に出力する増幅器と、該入力端子および該出力端子に接続された容量と、を有する請求項16に記載の固体撮像素子。

【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】本発明は、寄生容量をもつ信号線を用いて効率よく信号を伝達する信号伝達回路および方法と、アナログ信号をデジタル信号に変換するA/D変換器と、入力画像に対応する出力信号を発生する固体撮像素子とに関する。

【0002】

50 【従来の技術】アナログ信号をデジタル信号に変換するには、A/D変換器が用いられる。A/D変換器の回路構成としては、例えば逐次比較型、直並列型および全並列型が用いられる。これらの方式は、変換速度、変換精

度および消費電力の点でそれぞれ長所および短所をもつ。

【0003】上記3方式のうち、変換速度が最も優れているのは、全並列型であり、集積回路として実現されるA/D変換器の基本方式である。全並列型の短所としては、変換精度および消費電力が十分に満足できるものではないことが挙げられる。

【0004】近年では、携帯電子機器の消費電力を下げる必要性が高まってきている。その結果、A/D変換器に対しても低消費電力であることがますます要求されるようになってきている。したがって全並列型の代わりに直並列型のA/D変換器が用いられることが多い。

【0005】図23は、従来技術による直並列型A/D変換器を示すブロック図である。比較器2310は、アナログ入力信号Ainを受け取り、参照電圧列Refと比較する。比較器2310は、比較の結果、得られる上位デジタル値DUをDAC(D/A変換器)2330と、演算回路2340とに出力する。DAC2330は、比較器2310から出力された上位デジタル値DUに基づいて、下位ビットを決める基準である下位参照電圧列RefLを出力する。比較器2320は、アナログ入力信号Ainを下位参照電圧列RefLと比較することによって下位デジタル値DLを演算回路2340に出力する。演算回路2340は、上位デジタル値DUおよび下位デジタル値DLからA/D変換出力値Doutを生成し、出力する。

【0006】

【発明が解決しようとする課題】図23に示すA/D変換器においては、比較器2310から出力されるデジタル信号DUは、DAC2330によってアナログ信号RefLに変換される。DAC2330におけるD/A変換は、変換速度を低下させ、消費電力を増加する。したがってこのようなD/A変換をおこなうことなく、A/D変換器が実現できることが望ましい。つまり比較器2310がアナログ信号を比較器2320に出力することが望ましい。

【0007】しかしアナログ信号の伝達は、信号線上の寄生容量のために、動作速度が低下や、消費電力の増大につながる。信号線の寄生容量が生じる主な原因は、信号線に接続された多数のスイッチ、および長い信号線である。大きい寄生容量をもつ信号線を駆動する回路は、大きな駆動能力を必要とし、その消費電力も大きくなる。

【0008】上述のように、アナログ信号を伝達するときには、寄生容量のためにシステムの動作速度および消費電力などが低下するという問題があった。またアナログ信号を扱うA/D変換器においても同様の問題があった。本発明は、上記課題を解決するためになされたものであり、その目的するところは、アナログ信号を大きな寄生容量をもつ信号線を介して、小さい駆動能力で高速

に伝達する信号伝達回路および信号伝達方法と、A/D変換器と、固体撮像素子とを提供することにある。

【0009】

【課題を解決するための手段】本発明による信号伝達回路は、入力信号を受け取り、該入力信号に対応する出力信号を出力する信号伝達回路であって、第1容量と、該入力信号に対応する電荷を該第1容量に与える電荷供給部と、第2容量と、該電荷を該第1容量から該第2容量へ転送する転送手段と、を備えており、該第2容量は、該第1容量よりも大きく、そのことにより上記目的が達成される。

【0010】ある実施形態では、前記第2容量に転送された電荷に対応する出力信号を生成する変換手段をさらに備えている。

【0011】ある実施形態では、前記第1容量は、第1端子および第2端子を有し、前記第2容量は、第1端子および第2端子を有し、前記転送手段は、該第1容量の第1端子および該第2容量の第1端子の接続状態を変化させるスイッチであり、該第1容量の第2端子は、該第2容量の第2端子に接続されている。

【0012】ある実施形態では、前記電荷供給手段は、ドライバンプを有する。

【0013】ある実施形態では、前記電荷供給手段は、光によって電荷を発生する半導体素子を有する。

【0014】ある実施形態では、前記変換手段は、入力端子の信号を増幅して、出力端子に出力する増幅器と、該入力端子および該出力端子に接続された容量と、を有する。

【0015】ある実施形態では、前記変換手段は、可変容量を有する。

【0016】本発明によるA/D変換器は、入力電圧を受け取り、該入力電圧に対応するデジタル信号を出力するA/D変換器であって、該入力電圧および参照電圧の差に対応する電圧を増幅する第1増幅回路と、該増幅回路から出力される電圧を保持する保持容量と、該保持容量に充電された電圧を増幅する第2増幅回路と、該第1増幅回路と該第2増幅回路とを接続する配線による寄生容量と、該第1増幅回路と該保持容量との間に設けられた第1スイッチと、該保持容量と該寄生容量との間に設けられた第2スイッチと、を備えており、第1状態において、該第1スイッチはオンであり、該第2スイッチはオフであり、第2状態において、該第1スイッチはオフであり、該第2スイッチはオンであり、そのことにより上記目的が達成される。

【0017】本発明による信号伝達方法は、入力信号を受け取り、該入力信号に対応する出力信号を出力する信号伝達方法であって、該入力信号に対応する電荷を第1容量に蓄積する蓄積ステップと、該蓄積された電荷を該第1容量から第2容量へ転送する転送ステップと、を包含しており、そのことにより上記目的が達成される。

【0018】ある実施形態では、前記第2容量に転送された電荷に対応する出力信号を生成する変換ステップをさらに包含する。

【0019】ある実施形態では、前記転送ステップおよび前記変換ステップが同時におこなわれる。

【0020】ある実施形態では、前記変換ステップは、入力端子の信号を増幅して、出力端子に出力する増幅器と、該入力端子および該出力端子に接続された容量と、を用いる。

【0021】ある実施形態では、前記変換ステップは、可変容量を用いる。

【0022】本発明による固体撮像素子は、入射光を受け取り、該入射光に対応する出力信号を出力する固体撮像素子であって、第1容量と、該入射光に対応する電荷を該第1容量に与える電荷供給部と、第2容量と、該電荷を該第1容量から該第2容量へ転送する転送手段と、を備えており、該第2容量は、該第1容量よりも大きく、そのことにより上記目的が達成される。

【0023】ある実施形態では、前記電荷供給部がフォトダイオードであって、前記第1容量が該フォトダイオードの寄生容量である。

【0024】ある実施形態では、前記第2容量に転送された電荷に対応する出力信号を生成する変換手段をさらに備えている。

【0025】ある実施形態では、前記変換手段は、入力端子の信号を増幅して、出力端子に出力する増幅器と、該入力端子および該出力端子に接続された容量と、を有する。

【0026】

【発明の実施の形態】本明細書において、「スイッチがオン」であるとは、スイッチが閉じている状態をいう。つまりスイッチがオンのときは、電流がスイッチを流れる。逆にスイッチがオフであるとは、スイッチが開いている状態をいう。つまりスイッチがオフのときは、電流がスイッチを流れない。

【0027】（実施形態1）まず本発明の信号伝達回路および信号伝達方法を説明する。

【0028】図1は、本発明の信号伝達回路および信号伝達方法の原理を示す図である。本発明の信号伝達回路は、転送部100および変換部200を備えている。転送部100は、入力された信号に対応する電荷を変換部200に出力する。変換部200は、電荷を受け取り、受け取った電荷に対応する信号を出力する。

【0029】容量C1は、例えば、転送部100と変換部200との間の配線による浮遊容量であるが、これには限られない。容量C1は、転送部100および変換部200を結ぶ信号線とグラウンドとの間に生じる容量性負荷であれば何でもよい。すなわち、配線の浮遊容量や、転送部100に接続された電子的なスイッチがもつ容量などのようにディスクリートの部品に起因しない容

量でもよく、また逆にチップコンデンサのようにディスクリートの部品に起因する容量でもよい。

【0030】転送部100は、容量C0、抵抗RおよびスイッチSを有し、これらは直列に接続されている。スイッチSがオフ（すなわちスイッチSが開いている状態）であるとき、容量C0には、電荷供給部（不図示）によって電荷Q0が与えられている。スイッチSがオフである初期状態において、容量C1およびC2は電荷を蓄えておらず、容量C1およびC2の電位差はゼロであるとする。スイッチSは、電荷Q0を変換部200に転送するときに、オン（すなわちスイッチSが閉じている状態）になる。抵抗Rは、容量C0と容量C1およびC2との間に存在する抵抗を代表しており、典型的にはスイッチSがもつ抵抗である。

【0031】スイッチSがオフからオンになると、容量C0に蓄積された電荷Q0は、容量C1およびC2に移動する。スイッチSがオンのときの、容量C1の両端の電位差および容量C2の両端の電位差を ΔV とする。ここで容量 $(C1+C2)$ が容量C0と比較して、十分に大きいと仮定する。このとき、容量C0からみれば、容量 $(C1+C2)$ は、あたかもグラウンドのようにみえる。言い換えれば、容量C0は抵抗Rを介して短絡されているとみなすことができる。

【0032】図2は、 $(C1+C2) \gg C0$ が成り立つときの図1の回路の等価回路図である。図2の回路においては、容量C0に蓄えられた電荷Q0が抵抗Rを介して放電されるので、時定数は、 $C0 \cdot R$ に等しい。高速な信号伝達を実現するためには、この時定数 $C0 \cdot R$ を小さくする必要がある。ここで抵抗Rは、従来のスイッチSがもつ抵抗である。したがって図2の時定数 $C0 \cdot R$ を小さくするためには、容量C0の値を小さく設定すればよいことがわかる。本発明によれば、容量C0を小さく設定することによって、時定数 $C0 \cdot R$ を十分、小さくすることが可能である。

【0033】すなわち本発明においては、 $(C1+C2) \gg C0$ なる関係が満たされることによって、ローパワーで高速な信号伝達が可能となる。また容量C0を小さくすることによって、入力される信号源の駆動力が小さくても、本発明の信号伝達回路には接続されうるという効果を奏する。さらに容量C0に蓄積された電荷を容量C1およびC2に転送し、電荷を配分することは、雑音を生じないので、従来の信号伝達回路に比較してS/N比の向上を実現できる。

【0034】再び図1を参照する。スイッチSがオンのときは、容量C0に蓄えられた電荷Q0が容量C1およびC2に分配される。上述の仮定により、電荷Q0がすべて容量C1およびC2に移動する。この仮定のもとでは、端子Aに発生する電圧 ΔV は、ほとんどゼロである。容量C1およびC2について以下の式1および式2が成り立つ。

【0035】 $\Delta q_1 = C_1 \cdot \Delta V$ (式1)

$\Delta q_2 = C_2 \cdot \Delta V$ (式2)

ここで Δq_1 および Δq_2 は、それぞれ容量 C_1 および C_2 に蓄えられる電荷を示す。

【0036】式1および式2から電圧 ΔV を消去すると、以下の式3が得られる。

【0037】 $\Delta q_1 / \Delta q_2 = C_1 / C_2$ (式3)

式3から明らかなように容量 C_2 に対する容量 C_1 の比は、電荷 Δq_2 に対する電荷 Δq_1 の比に等しい。したがって容量 C_2 が容量 C_1 に比べて十分、大きければ、電荷 Q_0 のほとんどすべてが容量 C_2 に蓄えられることになる。このことは、本発明によれば、容量 C_1 （例えば浮遊容量などに起因する）が存在するにもかかわらず、その影響を受けることなく電荷 Q_0 を容量 C_0 から容量 C_2 へと転送することが可能なことを意味する。よって本発明においては、容量 C_1 よりも容量 C_2 が大きいことが好ましい。

【0038】次に、本発明による信号伝達回路および方法における電荷供給部を説明する。

【0039】図3は、容量 C_0 に電荷 Q_0 を供給する電荷供給部の一例を示す回路図である。電荷供給部300は、コンプリメンタリ接続されたPチャネルFET（電界効果トランジスタ）302とNチャネルFET304とを備えている。FET302および304のゲートをH（ハイレベル）にすると、電源VDDから容量 C_0 に電荷が供給される。図3の回路は、FETによるインバータであるが、これには限られない。電荷供給部300は、電源からの電荷を制御して、容量 C_0 に与えるドライバンプであれば、上述の回路と異なる構成であってもよい。

【0040】図4は、ダイオードを用いた電荷供給部を示す回路図である。電荷供給部300は、ダイオードDiを有する。ダイオードDiを逆バイアスにすれば、ダイオードDiに接合容量が形成される。この接合容量を上述の容量 C_0 として用いることができる。ダイオードDiの接合部に光が照射されると、接合部に電荷が生じる。この電荷を図1の電荷 Q_0 として用いることができる。図4の回路は、ダイオードを用いているが、これには限られない。電荷供給部300は、光によって電荷を発生する半導体素子であれば、他の素子であってもよい。

【0041】さらに、本発明による信号伝達回路および方法における変換部200を説明する。

【0042】図5は、変換部200の一例を示す回路図である。図5の変換部200は、インバータ202、容量204およびスイッチ206を有する。インバータ202は、増幅率Gをもつ。ここでは増幅率Gは負である。すなわち入力電圧をVi、出力電圧をVoとすれば、 $V_o = G \cdot V_i$ であり、出力電圧Voは、入力電圧Viと逆位相である。インバータ202の入力端子およ

び出力端子は、容量204の2つの端子に接続されている。容量204のキャパシタンスは、 $C_2 f$ である。

【0043】図5の回路においては、端子Aからみたときのみかけの容量が $(-G+1) \cdot C_2 f$ となる。これは、後で数式を用いて詳述するように、インバータ202の負帰還動作による。したがって容量 $C_2 f$ が小さくても、インバータ202が並列に容量204に接続されるために、端子Aからみた容量は大きくなる。この容量 $(-G+1) \cdot C_2 f$ が、図1の容量 C_2 に対応する。

図5の回路においては、容量 C_0 から与えられた電荷 Q_0 は、容量204に転送されるとともに、インバータ202によって増幅されてから端子Bに出力される。よって与えられた電荷 Q_0 に対応する電圧は、端子Bから出力される。図5に示す回路を動作させれば、信号を伝達するステップ（つまり電荷を転送するステップ）と、信号を読み出すステップとが同時におこなわれる。その結果、信号伝達に必要な時間を短縮することができるという効果を有する。

【0044】図6は、可変容量を用いる変換部200の回路図である。変換部200は、可変容量VCを有する。可変容量VCは、外部からの制御によってその容量値を変えることができる。端子Aは、電荷 Q_0 を受け取るとともに、電荷 Q_0 に対応する電圧を出力する。

【0045】容量 C_0 から電荷 Q_0 を容量VCに転送するときには、容量VCの値を容量 C_0 と比較して十分、大きく設定する。電荷 Q_0 の転送後、電荷 Q_0 を出力電圧として端子Aから読み出すときには、容量VCの値を小さく設定する。電荷の転送の前後で、容量 C_0 に対する容量VCの比は、大から小へと変化する。その結果、端子Aの電圧も高くなる（つまり容量VCの両端の電位差が大きくなる）。これにより本発明によれば、電荷 Q_0 に対応する電圧、つまり出力信号を外部に読み出すのに都合がよい。なお、図6に示す回路を動作させるためには、信号を伝達するステップ（つまり電荷を転送するステップ）と、信号を読み出すステップとを逐次的におこなう。図6の回路は、S/N比の劣化なしに転送された電荷に対応する電圧をブーストすることができるという効果を有する。

【0046】（実施形態2）図7は、本発明によるA/D変換器のブロック図である。上位増幅器列710は、アナログ入力信号Ainと、複数の参照電圧Refとを受け取り、アナログ入力信号Ainと参照電圧Refとの差を増幅して出力する。下位増幅器列720は、参照電圧Refのうち、アナログ入力信号Ainの電圧の近傍の参照電圧だけを選択し、選択された参照電圧を補間することによって下位ビットのデータDLを出力する。増幅器列730は、アナログ入力信号Ainが複数の参照電圧Refによって規定される区間のうちのどの区間に属するかを示す上位ビットのデータDUを出力する。演算回路740は、データDUおよびデータDLをまと

めることによって、入力されたアナログ信号の電圧に対応する、最終的に変換されたデジタルデータ D_{out} を出力する。

【0047】図7に示すように、本発明によるA/D変換器は、従来技術によるA/D変換器と異なり、D/A変換部をもたない。これにより、D/A変換部によって消費される電力を削減することができる。また本発明によるA/D変換器を集積化したときには、そのチップサイズを小さくすることができる。これはD/A変換部が占めるチップ面積が大きいことによる。

【0048】図8は、本発明によるA/D変換器の回路図である。図8の中の参照符号のうち、末尾にa、b、c、…のアルファベットが付された、同じ番号の要素は、同じ回路構成をもつ。例えば第1増幅回路列5に含まれる第1増幅回路6a～6iは、いずれも同じ回路構成である。また例えば第1増幅回路6a～6iを総称するときは、単に「第1増幅回路6」というように、末尾のアルファベットを省略する。

【0049】図8においては、同じ回路構成の要素がもつ端子（アルファベット1文字で示された端子）の参照符号は、繁雑さを避けるために、代表となる1つだけに付している。例えば、第1増幅回路6は、いずれも端子a、b、cおよびyをもつが、第1増幅回路6aにだけこれらの参照符号を付し、第1増幅回路6b～6iには付していない。

【0050】定電圧源1は電圧 V_{r1} を、定電圧源2は電圧 V_{r9} を、抵抗列4の両端に加える。本明細書で単に「電圧」というときは、グラウンドからの電位をいう。抵抗列4は、定電圧源1によって与えられた電圧 V_{r1} と定電圧源2によって与えられた電圧 V_{r9} との間の電圧を等分割するための抵抗列であり、抵抗4a～4hを有する。なお、抵抗列4が有する抵抗の個数はこれに限られない。また、ここでは電圧 V_{r1} および V_{r9} の間の電圧は等分割されるが、等分割されなくてもよい。

【0051】アナログ信号源3は、A/D変換器に入力電圧 V_{in} を供給する。A/D変換器は、電圧 V_{in} を入力信号として受け取り、A/D変換を施すことによって、電圧 V_{in} に対応するデジタル値を出力信号として出力する。

【0052】第1増幅回路列5は、第1増幅回路6a～6iを有する。第1増幅回路6a～6iは、入力電圧 V_{in} を標本化してから、標本化された電圧 V_{in} と、それぞれ参照電圧 $V_{r1} \sim V_{r9}$ との差電圧を増幅し出力する。

【0053】ラッチ・中間保持回路列7は、第1ラッチ回路8a～8iおよび中間保持回路9a～9iを有する。第1ラッチ回路8a～8iは、それぞれ第1増幅回路6a～6iの出力信号を増幅することによって、デジタル信号を出力する。このデジタル信号は、H（ハ

イ）レベルとして電源電圧 V_{DD} （例えば3.3V）を、L（ロー）レベルとしてグラウンドレベル V_{SS} （例えば、0V）をとる。中間保持回路9a～9iは、それぞれ第1増幅回路6a～6iの出力信号を受け取り、保持する。第1ラッチ回路8は、入力電圧 V_{in} が8つの電圧区間 $V_{r1} \sim V_{r2}$ 、 $V_{r2} \sim V_{r3}$ 、 $V_{r3} \sim V_{r4}$ 、…、 $V_{r8} \sim V_{r9}$ のうちのどれに属するかを示すデータを上位データ処理回路13に出力する。

【0054】デマルチプレクサ列10は、デマルチプレクサ11a～11iを有する。デマルチプレクサ11a～11iは、それぞれ中間保持回路9a～9iの出力を受け取り、信号線 $s_{i1} \sim s_{i4}$ のうちの1つに選択的に出力する。

【0055】信号線列12は、信号線 $s_{i1} \sim s_{i4}$ を有する。信号線 $s_{i1} \sim s_{i4}$ は、中間保持回路9a～9iから出力された信号を、それぞれ第2増幅回路15a～15dに伝える。

【0056】上位データ処理回路13は、ラッチ回路8a～8iから出力されたデジタル信号を受け取り、上位のデジタル値にエンコードし、出力する。ここで「上位のデジタル値」とは、入力信号に対応する最終的に得られたデジタル値のうちの上位のビットによって表現される値である。この実施形態においては、上位のデジタル値は、上述の8つの電圧区間のうちの1つを表すので、3ビットの情報をもつ。

【0057】また上位データ処理回路13は、デマルチプレクサ11a～11iにその動作を制御する信号を出力する。具体的には、例えば入力された電圧が例えば電圧 V_{r3} および V_{r4} の間に位置するときには、電圧 V_{r2} 、 V_{r3} 、 V_{r4} および V_{r5} に対応する信号がそれぞれ中間保持回路9b、9c、9dおよび9eから信号線 s_{i1} 、 s_{i2} 、 s_{i3} および s_{i4} に出力されるように、上位データ処理回路13はデマルチプレクサ11a～11iを制御する。

【0058】第2増幅回路列14は、第2増幅回路15a～15dを有する。第2増幅回路15a～15dは、それぞれ信号線 $s_{i1} \sim s_{i4}$ に接続されて、デマルチプレクサ11a～11iのうちの4つから出力された信号を増幅し出力する。

【0059】補間回路16は、第3増幅回路17A1～17A4と、第3増幅回路17B1～17B3とを有する。第3増幅回路17A1～17A4は、それぞれ第2増幅回路15a～15dから出力された電圧を増幅し、出力する。第3増幅回路17B1～17B3は、それぞれ、隣接する第2増幅回路15a～15dの出力電圧を補間する。

【0060】第2ラッチ回路18a～18gは、それぞれ第3増幅回路17A1～17A4および17B1～17B3の出力信号を増幅することによって、デジタル信号を出力する。第1ラッチ回路8a～8iの動作と同

様、このデジタル信号は、Hレベルとして電源電圧VDDを、LレベルとしてグラウンドレベルVSSをとる。補間回路16は、例えば入力された電圧が例えば電圧Vr3およびVr4の間に位置するときには、Vr2およびVr3の間と、Vr3およびVr4の間と、Vr4およびVr5の間とをそれぞれ補間する。入力された信号の電圧が電圧Vr2およびVr3の間に位置すれば、補間回路16は、上位のデジタル値のうちの最下位ビット（いわゆるキャリービット）として+1を出力する。逆に入力された信号の電圧が電圧Vr3およびVr4の間に位置すれば、補間回路16は、上位のデジタル値の最下位ビット（いわゆるキャリービット）として-1を出力する。後述するように補間回路においては、第2増幅回路15からの出力電圧の midpoint を求める補間をおこなう。したがって下位のデジタル値は、上述のキャリービットを除けば1ビットの情報をもつ。

【0061】クロック発生回路19は、ラッチ回路やマルチプレクサなどにクロックを出力することによって、回路全体の動作を同期させる。下位データ処理回路20は、補間回路16から出力されたデジタル信号を受け取り、下位のデジタル値に変換する。演算回路21は、上位データ処理回路13から出力された上位データと、下位データ処理回路20から出力された下位データとを受け取り、それぞれのデータを統合する処理をおこなうことによって最終的な（つまり全ビットの）A/D変換されたデジタル値を出力する。クロック入力端子22は、変換周波数に一致した周波数のクロックを受け取り、クロック発生回路19に出力する。出力端子23は、最終的なA/D変換値を出力する。

【0062】以下に、本発明によるA/D変換器の動作をより詳細な回路図と、図8とを参照しながら説明する。

【0063】図9は、第1増幅回路6の回路図である。端子aは、電圧Vinをもつアナログ信号を受け取る。端子bは、抵抗列4からの参照電圧Vrn（n=1、2、3、…、9）を受け取る。スイッチS1～S3は、後述するタイミングでオン・オフすることによって、第1増幅回路6の動作状態を標本化および増幅のうちの1つに設定する。端子cは、スイッチS1～S3のオン・オフを制御する信号を受け取る。第1増幅回路6によって標本化され、増幅された信号は、端子yから出力される。標本化容量24は、入力されたアナログ信号の電圧に充電することによって標本化をおこなう。反転増幅器25は、端子aおよびbに入力されたアナログ信号の差電圧を増幅し出力する。

【0064】図10は、スイッチS1～S3のオン・オフと、第1増幅回路6の動作状態（標本化および増幅）とを示す図である。標本化期間においては、スイッチS1およびS3はオンであり、スイッチS2はオフである。標本化容量24の容量値をC1とすると、標本化容

量24に蓄積された電荷Q1は次式のようにになる。

$$【0065】Q1 = C1 \cdot (Vin - Va) \quad (式4)$$

ここで、電圧Vinは、スイッチS1がオンからオフに変化したときの端子aに入力されたアナログ信号電圧の瞬時値（図10の時刻t1におけるアナログ信号の瞬時値）である。電圧Vaは、スイッチS3がオンであるときの反転増幅器25の入力端子（つまり端子B）および出力端子における電圧である。

【0066】増幅状態では、スイッチS1およびS3はオフであり、スイッチS2はオンである。このとき端子bには抵抗列4から参照電圧Vrn（n=1、2、3、…、9）が与えられる。スイッチS3がオフのとき、端子Bは開放状態（open状態）であり、標本化期間において蓄積された容量24の電荷Q1は保持される。よって端子Bの電圧VBに対して次式が成り立つ。

$$【0067】Q1 = C1 \cdot (Vrn - VB) \quad (式5)$$

式4および式5からQ1を消去して電圧VBについて整理すると次式のようにになる。

$$【0068】VB = Vrn - Vin + Va \quad (式6)$$

式6からわかるように増幅状態においては、電圧VBは、スイッチS3がオンのときの端子Bの電圧Vaから電圧（Vrn-Vin）だけシフトされている。

【0069】反転増幅器25は、その入力電圧が電圧Vaの近傍にあるとき、電圧利得（-G）（G>>0）をもつとする。このとき第1増幅回路6の出力電圧Vo1は次式で表される。

$$【0070】$$

$$Vo1 = -G \cdot (Vrn - Vin) + Va \quad (式7)$$

上式に表されるように、第1増幅回路6の出力電圧Vo1は、アナログ信号の電圧Vinと参照電圧Vrnとの電圧差が利得（-G）で増幅されて、電圧Vaだけシフトされている。

【0071】図11は、第1ラッチ回路8および第2ラッチ回路18の回路図である。第1ラッチ回路8および第2ラッチ回路18は同じ構成をもつので、以下の説明では、第1ラッチ回路8だけを説明する。第2ラッチ回路18は、第1ラッチ回路8と同様に機能する。なお以下の説明で第1ラッチ回路8の参照符号の直後のカッコ内に示す参照符号は、第2ラッチ回路18の対応する端子を表す。

【0072】端子d（端子p）は、第1増幅回路6の出力端子yから出力された信号を受け取る。反転増幅器27の入力端子は、反転増幅器26の出力端子から出力された信号を受け取る。つまり反転増幅器26および27は、直列接続されることによって非反転増幅器を形成する。直列に接続された反転増幅器26および27によって増幅された信号は、端子f（端子r）から出力される。スイッチS4およびS5は、後述するタイミングでオン・オフすることによって、第1ラッチ回路8および第2ラッチ回路18の動作状態をラッチおよびスルーの

うちの1つに設定する。端子e(端子q)は、スイッチS4およびS5のオン・オフを制御する信号を受け取る。

【0073】図12は、スイッチS4およびS5のオン・オフと、第1ラッチ回路8および第2ラッチ回路18の動作状態(ラッチおよびスルー)とを示す図である。ラッチ期間においては、スイッチS4はオフであり、スイッチS5がオンである。このとき反転増幅器26および27で構成された非反転増幅器の入力端子(つまり反転増幅器26の入力端子)は、出力端子(つまり反転増幅器27の出力端子)に接続される。また非反転増幅器の入力端子は、端子dと切り離される。その結果、入力されたデジタル値は、ラッチ回路8によって保持される。

【0074】スルー期間においては、スイッチS4はオンであり、スイッチS5がオフである。このとき反転増幅器26は、端子dから入力された信号を受け取り、増幅してから反転増幅器27に出力する。さらに反転増幅器27は、反転増幅器26から出力された信号を増幅してから端子fにおいて出力する。端子dに入力された信号は、反転増幅器26および27によって増幅されることによって、デジタル信号に変換される。このデジタル信号は、Hレベルとして電源電圧VDDを、LレベルとしてグラウンドレベルVSSをとる。

【0075】図13は、中間保持回路9の回路図である。端子Aは、第1増幅回路6の出力端子yからの信号を受け取る。保持容量28は、端子Aに入力された信号の電圧を保持する。スイッチS6は、後述するタイミングでオン・オフすることによって、中間保持回路9の動作状態を充電および転送のうちの1つに設定する。端子Bは、スイッチS6のオン・オフを制御する信号を受け取る。端子Dは、保持された電圧をもつ信号を出力する。

【0076】図14は、スイッチS6のオン・オフと、中間保持回路9の動作状態(充電および転送)とを示す図である。充電期間においては、スイッチS6はオンである。充電期間においては、保持容量28は、第1増幅回路6から出力された信号の電圧を保持する。転送期間においては、保持された電圧に対応する電荷が第2増幅回路15に転送される。この電荷の転送については、後で詳しく説明する。

【0077】図15は、デマルチプレクサ11の回路図である。端子gは、中間保持回路9から出力された信号を受け取る。スイッチS7～S10のうちの1つは、排他的にオンになることによって、入力された信号が選択的に端子i1～i4に出力される。端子hは、スイッチS7～S10のオン・オフを制御する信号を受け取る。

【0078】図16は、スイッチS7～S10のオン・オフと、デマルチプレクサ11の導通状態(i1～i

4)とを示す図である。スイッチS7～S10がオンであるとき、端子gは、それぞれ端子i1～i4に接続される。デマルチプレクサ11a～11iの端子i1～i4は、それぞれ信号線s i1～s i4に接続されている。

【0079】図17は、第2増幅回路15の回路図である。第2増幅回路15a～15dの端子jは、それぞれ信号線s i1～s i4に接続されている。反転増幅器29は、信号線列12を介して端子jにおいてデマルチプレクサ11からの出力を受け取る。帰還容量30は、反転増幅器29の入力端子および出力端子に接続されている。スイッチS11は、帰還容量30の2つの端子に接続されている。帰還容量30に蓄えられた電荷を放電するときには、帰還容量30は、オン状態になる。端子kは、スイッチS11のオン・オフを制御する信号を受け取る。端子lは、反転増幅器29の出力端子からの信号を出力する。

【0080】図18は、スイッチS11のオン・オフと、第2増幅回路15の動作状態(リセットおよび標本化)とを示す図である。スイッチS11がオンであるとき、帰還容量30が短絡されるために、第2増幅回路15はリセット状態になる。すなわちリセット状態においては、反転増幅器29の入力端子および出力端子が短絡されるとききの電圧Vaが端子lから出力される。スイッチS11がオフであるとき、帰還容量30には入力された電圧に対応する電荷が蓄えられ、標本化がおこなわれる。

【0081】本発明のA/D変換器における第1増幅回路6、中間保持回路9、デマルチプレクサ11、信号線列12および第2増幅回路15の動作を、式7～式35、図8、図19および図22を用いて以下に詳細に説明する。図19は、図8のうち、第1増幅回路6、中間保持回路9、デマルチプレクサ11、信号線列12および第2増幅回路15を代表する要素を示す回路図である。図22は、図8に示す回路の要素がおこなう動作のタイミングを示す図である。図22においては、時間の経過にしたがって、左から右へ向かう順序で動作が実行される。

【0082】図19において、第1増幅回路6が増幅状態であるときの第1増幅回路6の端子Aにおける出力電圧Vo1は、式7に既示したように $V_{o1} = -G \cdot$

$(V_{rn} - V_{in}) + V_a$ (式7) とかける。第1増幅回路6が増幅するときは、中間保持回路9は充電状態(図22を参照)であり、スイッチS6はオンである。中間保持回路9の保持容量28は、第1増幅回路6の出力電圧Vo1を充電する。保持容量28の容量値をC2とすると、保持容量28に蓄えられた電荷Q2は、次式で表される。

【0083】

$$Q2 = C2 \cdot (-G \cdot (V_{rn} - V_{in}) + V_a) \quad (式8)$$

式8の一部を展開すれば、

$$Q2 = C2 \cdot (-G \cdot (V_{rn} - V_{in})) + C2 \cdot V_a \quad (\text{式9})$$

式9の右辺の第1項および第2項をそれぞれ $Q2a$ および $Q2b$ とおけば、

$$Q2a = C2 \cdot (-G \cdot (V_{rn} - V_{in})) \quad (\text{式10})$$

$$Q2b = C2 \cdot V_a \quad (\text{式11})$$

デマルチプレクサ11のスイッチS7がオンであり、スイッチS8、S9およびS10がオフであるとき、デマルチプレクサ11の端子gは、信号線列12のうちの信号線s11に接続される。このとき、中間保持回路9のスイッチS6はオフである。図8に示すように、信号線s11、s12、s13およびs14には、それぞれ9個のデマルチプレクサが接続される。その結果、スイッチS7～S10と、信号線s11～s14とがそれぞれ接続する点には、無視できない大きさの寄生容量が存在する。図19においては、この寄生容量は、信号線s11に接続された容量CSとして表現されている。

【0084】第2増幅回路15は、中間保持回路9の保持容量28に蓄積された電荷 $Q2a$ を受け取る。第2増幅回路15は、電荷 $Q2a$ を受け取る動作である標本化（スイッチS11がオフの状態）をおこなう前に、リセット（スイッチS11がオンの状態）をおこなう。このリセットをおこなっている期間においては、デマルチプレクサ11のスイッチS7～S10は、すべてオフである待機期間である。したがってリセット期間においては、端子jの電圧は、第2増幅回路15のスイッチS11がオンであるときに出力される電圧 V_a に等しい。よってリセット期間に寄生容量CSに蓄えられる電荷 Q_{Sr} は、次式で表される。

$$Q_{Sr} = CS \cdot V_a \quad (\text{式12})$$

さらにリセット期間ではスイッチS11がオンであるので、容量30（容量値C3）に充電される電荷 $Q3r$ はゼロである。

$$Q3r = 0 \quad (\text{式13})$$

第2増幅回路15の標本化期間では、デマルチプレクサ11のスイッチS7はオンであり、中間保持回路9のスイッチS6、第2増幅回路15のスイッチS11およびデマルチプレクサのスイッチS8～S10はオフであ

$$Q2 + Q_{Sr} + Q3r = Q2h + Q_{Sh} + Q3h \quad (\text{式21})$$

式21に式9、12、13、18、19および20を代入して端子jの電圧 V_j について整理すれば次式を得る。

【0094】

【数1】

$$V_j = \frac{C2(-G \cdot (V_{rn} - V_{in}))}{C3 \cdot (1 + G) + C2 + CS}$$

【0095】数1の分子と分母をGで割ると、次式が得られる。

【0096】

$$V_j = -C2 / C3 \cdot (V_{rn} - V_{in}) \quad (\text{式23})$$

すなわち、図19の端子jには式23で表される電圧変

る。その結果、中間保持回路9の保持容量28に蓄積された電荷 $Q2a$ は、第2増幅回路15に転送される。この電荷が転送されるステップを数式を用いて以下で説明する。標本化期間における端子jの電圧を $(V_j + V_a)$ とすると、第2増幅回路15の出力電圧 V_{o2} は、次式で表される。

$$V_{o2} = -G \cdot V_j + V_a \quad (\text{式14})$$

ここで $(-G)$ ($G \gg 0$)は、第2増幅回路15の反転増幅器29の電圧利得である。端子jと端子1との電圧差 V_{j1} は、次式のように表される。

【0088】

$$V_{j1} = (V_j + V_a) - V_{o2} \quad (\text{式15})$$

式15に式14を代入すると、

$$V_{j1} = (1 + G) \cdot V_j \quad (\text{式16})$$

容量値C3をもつ容量30に蓄えられる電荷 $Q3h$ は、次式のように表される。

$$Q3h = C3 \cdot V_{j1} \quad (\text{式17})$$

式17に式16を代入すると、式18が得られる。

【0090】

$$Q3h = C3 \cdot (1 + G) \cdot V_j \quad (\text{式18})$$

容量値C2をもつ保持容量28に蓄えられる電荷 $Q2h$ は、次式のように表される。

【0091】

$$Q2h = C2 \cdot (V_j + V_a) \quad (\text{式19})$$

寄生容量CSに蓄えられる電荷 Q_{Sh} は、次式のように表される。

【0092】

$$Q_{Sh} = CS \cdot (V_j + V_a) \quad (\text{式20})$$

リセット期間および標本化期間では、容量C2、CSおよびC3に蓄えられた電荷量が保存されるので次式が成り立つ。

【0093】

【数2】

$$V_j = \frac{-C2(V_{rn} - V_{in})}{C3 \left(\frac{1}{G} + 1 \right) + \frac{C2}{G} + \frac{CS}{G}}$$

【0097】ここで、実際の設計の値を考慮すると、次式が成り立つ。

$$C2, C3, CS \ll G \quad (\text{式22})$$

数2に式22を適用すると、数1は理解しやすい式23に変形できる。

【0099】

式23で表される電圧変化が伝達される。伝達された信号は、参照電圧 V_{rn} と

アナログ信号 V_{in} との電圧差を $(-C2/C3)$ 倍した電圧であり、 A/D 変換されるべき電圧 $(V_{rn}-V_{in})$ に対応する電圧が伝達されている。また式23は、伝達される電圧 V_j が寄生容量 CS の影響を受けないことを意味する。これは、帰還容量30による反転増幅器29の負帰還動作によって、図19の端子 j の電圧変化が抑制され、その結果、寄生容量 CS への電荷の充放電がほとんどおこなわれないうことによる。このため第2増幅回路15は、寄生容量 CS の影響を受けることなく動作ができる。これは本発明による信号伝達回路、信

$$V_{o2}=G \cdot C2/C3 \cdot (V_{rn}-V_{in})+V_a \quad (式25)$$

図20は、第3増幅回路17Aおよび17Bの回路図である。図20は、第3増幅回路17A1、17A2および17B1だけを示すが、第3増幅回路17A3、17A4、17B2および17B3のブロックも同様の構成をもつ。

【0102】標本化容量31および36は、それぞれ端子 m および E において入力された電圧を標本化する。補間容量33および34は直列に接続されており、その容量値は等しい。したがって補間容量33および34が接続された点の電圧は、端子 m の電圧および端子 E の電圧の平均電圧に等しい。反転増幅器32、35および37は、それぞれ端子 m の電圧、端子 m および端子 E の平均電圧および端子 E の電圧をそれぞれ受け取り、増幅してから端子 o 、 F および G から出力する。スイッチ $S12 \sim 14$ は、それぞれ反転増幅器32、35および37の入力端子および出力端子を短絡または開放状態にする。端子 m は、第2増幅回路15の出力端子 l に接続されており、端子 E は、端子 m に接続された第2増幅回路15と隣接する第2増幅回路15の出力端子 l に接続され

る。端子 n は、スイッチ $S12 \sim 14$ のオン・オフを制

$$V_{o2m}=G \cdot C2/C3 \cdot (V_{rn}-V_{in})+V_a \quad (式26)$$

$$V_{o2E}=G \cdot C2/C3 \cdot (V_{r(n+1)}-V_{in})+V_a \quad (式27)$$

ここで、電圧 V_{rn} および $V_{r(n+1)}$ は、隣接する抵抗列4からの参照電圧である。電圧 V_{o2m} および V_{o2E} は、第1増幅回路6における参照電圧に対応する。よって第3増幅回路17A1の出力電圧 V_{o3o} お

$$V_{o1}=-G \cdot (V_{rn}-V_{in})+V_a \quad (式7)$$

$$V_{o3o}=-G \cdot (V_{o2m}-V_a)+V_a \quad (式28)$$

$$V_{o3G}=-G \cdot (V_{o2E}-V_a)+V_a \quad (式29)$$

式26および式27をそれぞれ代入すると、次式が得られる。

$$V_{o3o}=-G \cdot G \cdot C2/C3 \cdot (V_{rn}-V_{in})+V_a \quad (式30)$$

$$V_{o3G}=-G \cdot G \cdot C2/C3 \cdot (V_{r(n+1)}-V_{in})+V_a \quad (式31)$$

容量33および容量34の容量値は等しいので、端子 F の電圧は、端子 o の電圧と端子 G の電圧との中間値に等しい。よって端子 F における出力電圧 V_{o3F} は、次式で表される。

号伝達方法および A/D 変換器が、従来技術に対して有する大きな効果である。以上の説明からわかるように、大きな値をもつ寄生容量 CS が信号線 $s_{i1} \sim s_{i4}$ 上に存在しても、本発明によれば、信号伝達を効率におこなえ、その結果、回路の高速動作が実現できる。端子1の電圧 V_{o2} は次式で示される。

$$【0100】V_{o2}=-G \cdot V_j+V_a \quad (式24)$$

式24に式23を代入すると次式が得られる。

$$【0101】$$

御する信号を受け取る。

【0103】図21は、スイッチ $S12 \sim S14$ のオン・オフと、第3増幅回路17Aおよび17Bの動作状態(標本化および増幅)とを示す図である。スイッチ $S12 \sim S14$ がオンであるとき、第3増幅回路17Aおよび17Bは、入力された信号を標本化する。スイッチ $S12 \sim S14$ がオフであるとき、第3増幅回路17Aおよび17Bは、入力信号の電圧と標本化期間に標本化された電圧との比較をおこなう。以下に第3増幅回路17Aおよび17Bの動作を詳細に説明する。

【0104】図22を再び参照すれば、第3増幅回路17Aおよび17Bのリセット期間(図21においては標本化期間と示す)においては、前段の第2増幅回路15もリセット期間である。端子 m 、 E に入力された電圧は、第2増幅回路15のスイッチ $S11$ がオンのときの出力電圧 V_a である。次に、第3増幅回路17Aおよび17Bの増幅状態において、端子 m および端子 E に入力された電圧をそれぞれ電圧 V_{o2m} および V_{o2E} とすると、次式が得られる。

$$【0105】$$

よび第3増幅回路17A2の出力電圧 V_{o3G} は、式7を参照すれば、次式が得られる。

$$【0106】$$

$$【0107】$$

$$【0108】$$

$$V_{o3F}=(V_{o3o}+V_{o3G})/2 \quad (式32)$$

式30および31を代入すると、次式が得られる。

$$50 \quad 【0109】$$

$$V_{o3F} = -G \cdot G \cdot C2 / C3 \cdot ((V_{rn} + V_{r(n+1)}) / 2 - V_{in}) + V_a \quad (\text{式} 33)$$

式33を式30および式31と比較すると、図20の回路によれば、隣接する参照電圧 V_{rn} および $V_{r(n+1)}$ の中間の参照電圧 $((V_{rn} + V_{r(n+1)}) / 2)$ を得ることができるので、A/D変換のデータ（つまりA/D変換の解像度）を増すことができる。第3増幅回路17Aおよび17Bから出力される電圧 V_{o3o} 、 V_{o3G} および V_{o3F} は、第2ラッチ回路18

(図8および図11を参照)によって、デジタル値に変換される。第2ラッチ回路18から出力されたデジタル値は、下位データ処理回路20(図8を参照)によって下位デジタル値にエンコードされる。

【0110】本実施形態においては、下位データ処理回路20は、キャリービットとして+1、0および-1を演算回路21に出力する。これにより例えば電圧 V_{in} が電圧 V_{r3} よりもわずかに大きい(ただし $V_{r1} > V_{r9}$)ときに、電圧 V_{in} が電圧 V_{r3} および V_{r4} の間に位置するという誤った結果が上位データ処理回路13によって出力されたときであっても、キャリービットによって誤差を修正できるという効果を有する。演算回路21は、上位のデジタル値、下位のデジタル値およびキャリービットに基づいて、変換された全ビットをもつ(ここでは上位3ビット、下位1ビットの合計4ビット)最終的なデジタル値を端子23に出力する。クロック発生回路19は、前述した各回路ブロックに供給されるクロック信号を供給する。

【0111】再び図22を参照する。図22のタイミングチャートに示す動作は、それぞれ1クロックの周期に相当する時間(以下、1クロック期間という)で実行されるとすると、変換周期は、2クロック期間に等しい。すなわちある時刻に入力されたアナログ信号をデジタル信号に変換するためには、2クロック期間しか必要ではない。これは、本発明のA/D変換器によれば、第1増幅回路6、第1ラッチ回路8、上位データ処理回路13、中間保持回路9、デマルチプレクサ11、第2増幅回路15、第3増幅回路17Aおよび17B、第2ラッチ回路18および下位データ処理回路20は、それぞれ2クロック期間で、パイプライン的な処理をおこなうことによる。その結果、本発明によれば、低消費電力で、かつ高速なA/D変換をおこなうことができる。

【0112】第1増幅回路6は、標本化および増幅の2クロック期間において、参照電圧と入力電圧との差に対応する電圧を出力する。第1ラッチ回路8は、スルーおよびラッチの2クロック期間において、第1増幅回路6から受け取った信号をデジタル値に変換して上位データ処理回路13に出力する。上位データ処理回路13は、第1ラッチ回路8からのデジタル値に基づいて、入力電圧 V_{in} の近傍の4つの参照電圧に対応する信号が中間保持回路9から信号線 $s_{i1} \sim s_{i4}$ に出力され

るように、デマルチプレクサ11を制御する。例えば電圧 V_{in} が電圧 V_{r3} と電圧 V_{r4} との間に位置すれば、信号線 $s_{i1} \sim s_{i4}$ に中間保持回路9b~9eからの出力が選択的に供給されるようにデマルチプレクサ11を制御する。上位データ処理回路13が出力した上位のデジタル値は、さらに1クロック期間後に出力される下位データ処理回路20が出力した下位のデジタル値と組み合わせられて最終的な全ビットをもつデジタル値となる。

【0113】中間保持回路9は、まず第1増幅回路6からの出力を充電する。次に第1ラッチ回路8がラッチ状態のクロック期間において、デマルチプレクサ11を介して第2増幅回路15に電荷を転送する。第2増幅回路15は、デマルチプレクサ11が選択状態のクロック期間において、中間保持回路9から出力された電圧を受け取り、標本化する。第3増幅回路17Aおよび17Bは、標本化された電圧を受け取り、増幅する。第2ラッチ回路18は、第3増幅回路17Aおよび17Bによって増幅された電圧をデジタル値に変換し、ラッチ状態において下位データ処理回路20に出力する。下位データ処理回路20が演算のクロック期間において、上位データ処理回路13からの上位のデジタル値および下位データ処理回路20からの下位のデジタル値が得られるので全ビットをもつ最終的なデジタル値を演算することができる。図22からわかるように、入力アナログ信号と出力デジタル信号とのタイムラグは、5クロック期間であるが、それぞれの回路要素の動作は、2クロック期間で完結する。

【0114】なお以上、説明した実施形態においては、上位のデジタル値が3ビットの情報を持ち、下位のデジタル値が1ビットの情報をもつとしたがこれには限られない。

【0115】(実施形態3)以下に本発明の信号伝達回路をシミュレーションによって従来技術による信号伝達回路と比較した結果を説明する。

【0116】図24は、本発明の信号伝達回路の回路図である。駆動回路242は、入力信号源241から信号を受け取り、増幅してスイッチ248の一方の端子に出力する。保持状態のとき、スイッチ248およびスイッチ2414がオンであり、スイッチ249がオフであり、それにより容量C0は、入力信号源241の出力に対応する電荷を保持する。転送状態のとき、スイッチ249がオンであり、スイッチ248およびスイッチ2414がオフであり、それにより容量C0に保持された電荷は、信号線243を介してインバータ2416の入力端子に転送される。インバータ2416の入力端子および出力端子には、スイッチ2414および帰還容量2415が接続されており、それにより入力端子に与えられ

た信号を増幅して被駆動回路244に出力する。このとき帰還容量2415の容量Cfをインバータ2416の利得で乗算した値にほぼ等しい等価的な容量が、インバータ2416の入力端子とグラウンドとの間に接続されているとみなされる。

【0117】図25は、図24に示す信号伝達回路におけるスイッチ248、249、2414の動作タイミング、および被駆動回路244の入力電圧の変化を示す図である。保持1の期間において、スイッチ2414はオン状態であり、インバータ2416の入出力端子は等しい電圧値Vaに固定される。このとき帰還容量2415は電荷を蓄積しない。

【0118】次に転送1の期間に入ると、スイッチ2414はオフ状態に変化する。このとき保持容量2410は蓄積していた電荷量に応じてスイッチ249を介して容量C1および帰還容量2415に電荷が分配される。インバータ2416の利得の絶対値|A|が1よりもじゅうぶん大きい場合には、信号線243の容量C1の値が支配的でなくなり、インバータ2416の出力電圧と電圧Vaとの差は、容量C0およびCfの比によって制御することが可能になる。

【0119】上述のように、図24の信号伝達回路においては、被駆動回路244に輸入される入力電圧および基準電圧の差電圧を増幅することが可能であり、さらにインバータ2416の利得、および保持容量C0および帰還容量2415の容量比を任意に設定することにより増幅度を制御できる。

【0120】図26は、図24に示す本発明の信号伝達回路の出力電圧の波形と、図27に示す従来の信号伝達回路を出力電圧の波形とを示す図である。いずれの波形もシミュレーションにより求められている。図27は、従来技術による信号伝達回路の構成を示す図である。駆動回路272は、入力信号源271からの出力を受け取り増幅して、選択スイッチ276の一方の端子に出力する。被駆動回路274は、選択スイッチ276に接続された信号線273を介して信号を受け取る。信号線273とグラウンドとの間には寄生容量2718が存在している。

【0121】図28は、図27の従来の信号伝達回路の選択スイッチの選択状態と、被駆動回路274の入力電圧とを示す図であって、横軸は時間を示す。図28において、選択スイッチ276がオンである選択状態2において、被駆動回路274の入力電圧が電圧V1からV2へとΔVだけ上昇する。スイッチ276が選択状態3でオフになると被駆動回路274の入力電圧は電圧V3に収束する。

【0122】またシミュレーションによって得られた本発明の消費電流およびセトリング時間を従来技術によるものと比較するために表1に示す。

【0123】

【表1】

	本発明	従来技術
消費電流	180μA	190μA
セトリング時間	13ns	38ns

【0124】本発明による信号伝達回路と従来技術によるものとで消費電流がほぼ同等である場合には、本発明の信号伝達回路は、従来技術による回路に比べてセトリング時間が約1/3に短縮される。

【0125】なお本実施の形態においては、インバータ2416の構成および帰還容量2415の容量値は任意である。また、本実施の形態におけるスイッチ248、249、2414の動作タイミングは、信号伝達回路の動作を損なわない範囲において任意のタイミングで動作させることが可能である。

【0126】（実施形態4）図29は、本発明による信号伝達回路を用いた固体撮像素子の回路図である。図29において、291は光を電荷に変換するダイオード（いわゆるフォトダイオード）、292および295は寄生ダイオード、293はスイッチである。ダイオード291の陽極（アノード）はスイッチ293の一方の端子に接続されていて、負極（カソード）はノードAに接続されている。スイッチ293の他方の端子は定電圧Vaに接続されている。寄生ダイオード295の陽極（アノード）は定電圧Aに接続され、負極（カソード）はノードAに接続されている。スイッチ293、ダイオード291および292によって光を検出する画像素子294を構成している。図29の構成例では、ダイオード291およびスイッチ293に加えて、寄生ダイオード292を加えた構成を画像素子294とし、ノードAと定電圧Aの間にも寄生ダイオード295を考慮する。これらの寄生ダイオードを考慮するのは、画像素子294をMOSトランジスタで構成する場合に生じるからである。

【0127】図29のダイオード291は、逆バイアスによる接合容量を寄生容量として含んでおり、これが図1のC0に対応する。ノードAに接続されている配線の容量およびダイオード295の寄生容量は、図1の容量C1に対応する。インバータ296、スイッチ297および容量298は、図5のインバータ202、スイッチ206および容量204にそれぞれ対応する。したがって図1を参照して説明した関係 $C0 < (C1 + C2)$ および $C1 < C2$ がなりたつことが好ましいことは、本実施形態においてもあてはまる。また本実施形態においては、その入力端子および出力端子に容量298が接続されたインバータ296が使われるが、この代わりに図6に示す可変容量を用いてもよい。

【0128】5つの画像素子294の出力端子292は共通（ノードA）に接続されて、インバータ296の入力端子に接続されている。5つの画像素子294の出力

端子292も共通に定電圧Aに接続されている。5つの画像素子294のそれぞれのスイッチ293は走査回路299の出力信号L1～L5によって開閉制御されている。インバータ296の入出力端子間に接続されたスイッチ297は走査回路299の出力信号L0によって開閉制御されている。5つの画像素子294を面配置の第1行画像素子群29G1とする。第2行および第3行画像素子群29G2および29G3は、第1行画像素子群29G1と同じ構成なので詳細な説明は省略する。

【0129】光学レンズによる像は行と列に配列された各画像素子294に蓄積された電荷を読み出すことによって電気信号に変換する。像は各画像素子294に対応する電気信号に変換されるわけである。言い換えれば、各画像素子294を構成する光を検出するダイオード291に蓄積された電荷を電圧変換することにより、画像の電気信号への変換を実現できる。

【0130】以下は、動作についての説明である。各画像素子294のスイッチ293の開閉動作とインバータ296の入出力端子間に接続されたスイッチ297の開閉は走査回路299によって制御されている。図30は、走査回路299の制御手順を示すタイミングチャートである。以下にこの制御手順を図30を参照して説明する。

【0131】基本クロックは走査回路299の入力端子2910に入力され、この基本クロックから走査回路299によって走査クロックL0～L5が出力される。クロック信号L0はスイッチ297の制御信号であり、クロック信号L1～L5は列配置の各画像素子を構成するスイッチ293の制御信号である。スイッチ297を制御するクロック信号L0はハイレベルのとき閉状態（ON）であり、ローレベルのとき開状態（OFF）を表す。クロック信号L1～L5はローレベルのとき閉状態（ON）であり、ハイレベルのとき開状態（OFF）を表している。

【0132】第1の期間では、第1列の画像素子294を構成している光を検出するダイオード291に蓄積された電荷量を初期化することが目的である。この期間においてスイッチ297は閉状態で反転増幅回路の入力端子と出力端子間は短絡されて反転増幅回路の出力端子からはバイアス電圧Vbが出力される。

【0133】クロック信号L1は第1列のスイッチ293を閉状態にするのでダイオード291は定電圧Vaに接続される。ここで、定電圧Vaはバイアス電圧Vbよりも低い電圧でダイオード291と寄生ダイオード292および295を十分に逆方向にバイアスできるとする。ダイオード291は逆方向にバイアスされているのでp-n接合面では空乏層が発達する。空乏層は電気伝導率が低いためにp領域とn領域間は容量となる。この容量を空乏層容量と呼ぶ。空乏層容量値はスイッチ293が閉状態では定電圧Vaとバイアス電圧Vbの電圧差

によって決定される値C d 1となり、この空乏層容量に蓄積される電荷量は $Q1 = C d 1 \cdot (Vb - Va)$ とする。

【0134】第2～第9の期間では、第1列の画像素子を構成するダイオード291は光のエネルギーを電荷量に変換して蓄積することを目的とする。この期間においてクロック信号L1は第1列の画像素子を構成するスイッチ293を開状態とする。このとき、光のエネルギー（ $h\nu$ ：hはプランク定数、 ν は光の振動数）はダイオード291のp-n接合面にある空乏層に存在する原子核に束縛されている電子を励起する。この励起された電子の個数は光のエネルギー（ $h\nu$ ）の増大に対して増大する。励起現象はp領域における空乏層では正孔を発生させ、n領域における空乏層では電子を発生させることとなる。正孔はp領域に蓄積され電子はn領域に蓄積される。これは光のエネルギー（ $h\nu$ ）によって発生した電荷であり、この電荷量を Δq とする。この時点での、空乏層容量に蓄積された電荷量は $(Q1 + \Delta q)$ である。

【0135】第10の期間では、第1列の画像素子を構成するダイオード291に蓄積された電荷量 Δq をインバータ296の入出力端子に接続された容量298に転送し電圧として出力することを目的としている。この期間では、スイッチ297は開状態でスイッチ293は閉状態となり、ダイオード291の陽極が定電圧Vaに接続される。インバータ296の負帰還動作により端子Aはスイッチ297が開放状態ではあるがバイアス電圧Vbからほとんど変化しない。インバータ296の負帰還動作によってダイオード291に与えられる電圧はほぼ $(Vb - Va)$ となり、空乏層容量は値がC d 1になり、蓄積された電荷がQ1にもどる。その結果、先の期間（第2～第9の期間）に光のエネルギー（ $h\nu$ ）によって蓄積された電荷 Δq は容量298に移動する。

【0136】ここで、第2～第9の期間に寄生ダイオード292にある空乏層は遮蔽されていて光は入らないため、この空乏層には新たな電荷は発生していない。さらに、寄生ダイオード295にある空乏層も遮蔽されており、光による新たな電荷は発生しない。しかも、寄生ダイオード295の両端の電圧差がほとんど変化しないために存在する電荷は容量298にはほとんど移動しない。

【0137】したがって、この第10の期間ではダイオード291に蓄積された電荷 Δq のみが容量298に転送される。この転送された電荷 Δq は容量298の容量値C2によって電圧 $Vo = \Delta q / C2$ （ただし、インバータ296の電圧利得は十分に大きいとする）に変換され、出力端子2911～2913にそれぞれ出力される。

【0138】以上の説明は、第1列の画像素子が蓄積した電荷を初期化したのちに空乏層領域に入射した光のエ

エネルギーを電荷に変換したのちインバータ296の容量に変換された電荷を転送して電圧として出力する一連の動作を第1~10の期間に場合わけして説明をおこなった。残りの第2~5列は第1列と同じ動作を、それぞれ基本クロックの半周期おくらせて実行してゆく。こうして順次に各画像素子に蓄積された電荷を電圧信号に変換して行く。

【0139】固体撮像素子2914は、画像を電波に変換して遠隔地の画像表示装置に映し出す装置に应用できる。図31は、図29の固体撮像素子2914を応用したデバイスの構成を示すブロック図である。図31のデバイスは、画像を電波に送信する送信部と、電波を受けて画像を映し出す受信部とを備えている。同じ参照符号をもつ図29および図31に描かれた構成要素は互に対応している。送信部において、3115は各構成要素に必要なクロック信号を供給するクロック発生回路である。3116は撮像素子2914の出力端子2911~2913の連続的な電気信号（いわゆるアナログ信号）を離散的な電気信号（いわゆるデジタル信号）に変換するA/D変換器である。3117はA/D変換器3116によって変換されたデジタル信号を電波として送信しやすい形態にする信号処理回路であり、3118は信号処理回路3117の出力信号を電波に変換する送信回路3118である。

【0140】受信部において、3120は受信部の各構成要素に必要なクロック信号を供給するクロック発生回路である。3119は送信部の送信回路3118からの発信電波を受信する受信回路である。3121は受信回路からの信号を、デジタル信号処理する信号処理回路である。3122は信号処理回路3121のデジタル出力信号をアナログ電気信号に変換するD/A変換回路である。3123はアナログ電気信号によって結晶構造を変化させて反射率を制御し、人に見えるように画像を映し出す液晶ディスプレイである。

【0141】送信部の固体撮像素子2914は、撮像素子によって変換されたアナログ電気信号を各列ごとに端子2911~2913に出力する。端子2911~2913のアナログ電気信号は各端子ごとに設けられたA/D変換器3116によってデジタル信号に変換され画像データになる。信号処理回路3117は、変換されたデジタル信号を受け取り、画像データのデジタル信号処理によって送信に適したシリアル・データに変換する。送信回路3118は、変換されたシリアルデータを変調して、電波のかたちで送信する。

【0142】受信部の受信回路3119は、電波を受信し、必要な電圧を得るために受信信号を増幅し、波形整形を施す。信号処理回路3121は、受信回路3119から出力されたデジタル出力信号を受け取り、電波のかたちでの信号伝送中に受けたノイズおよび歪みをデジタル信号処理を用いて除去する。D/A変換器3122

は、信号処理回路3121から出力されたデジタル信号を受け取り、これをアナログ電気信号に変換し、液晶ディスプレイ3123を駆動することによって、撮像素子2914によって撮られた画像を再生する。

【0143】特に、送信部においては、撮像素子2914、クロック発生回路3115、A/D変換器3116および信号処理回路3117は、CMOSプロセスによって構成することができるので、送信回路3118を除く回路をワンチップで製造することができる。さらにCMOSプロセスの微細化が進めば高周波回路を含む送信回路3118も集積することが可能となる。

【0144】第4の実施形態によれば、既に説明した信号伝達回路および信号伝達方法と、A/D変換器と同様の効果を得ることができる。すなわち入力信号源の駆動力が小さく、駆動すべき信号線などが有する寄生容量が大きい場合でも、高速かつ高効率の信号伝達をおこなうことができる。

【0145】

【発明の効果】本発明の信号伝達回路および信号伝達方法によれば、アナログ信号を大きな寄生容量をもつ信号線を介して、小さい駆動能力で高速に伝達することができる。また本発明のA/D変換器によれば、アナログ信号を小さい駆動能力の増幅回路を用いてデジタル信号に変換することができる。その結果、A/D変換器の消費電力を小さくすること、および集積化されたA/D変換器の半導体チップのチップ面積を小さくすることが可能になる。また本発明のA/D変換器によれば、D/A変換器を用いる必要がないので、それによっても、低消費電力化およびチップサイズの削減が可能になる。また本発明の固体撮像素子によれば、前述の本発明のA/D変換器と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の信号伝達回路および信号伝達方法の原理を示す図である。

【図2】 $(C1+C2) \gg C0$ が成り立つときの図1の回路の等価回路図である。

【図3】容量C0に電荷Q0を供給する電荷供給部の一例を示す回路図である。

【図4】ダイオードを用いた電荷供給部を示す回路図である。

【図5】変換部200の一例を示す回路図である。

【図6】可変容量を用いる変換部200の回路図である。

【図7】本発明によるA/D変換器のブロック図である。

【図8】本発明によるA/D変換器の回路図である。

【図9】第1増幅回路6の回路図である。

【図10】スイッチS1~S3のオン・オフと、第1増幅回路6の動作状態（標準化および増幅）とを示す図である。

【図11】第1ラッチ回路8および第2ラッチ回路18の回路図である。

【図12】スイッチS4およびS5のオン・オフと、第1ラッチ回路8および第2ラッチ回路18の動作状態（ラッチおよびスルー）とを示す図である。

【図13】中間保持回路9の回路図である。

【図14】スイッチS6のオン・オフと、中間保持回路9の動作状態（充電および転送）とを示す図である。

【図15】デマルチプレクサ11の回路図である。

【図16】スイッチS7～S10のオン・オフと、デマルチプレクサ11の導通状態（i1～i4）とを示す図である。

【図17】第2増幅回路15の回路図である。

【図18】スイッチS11のオン・オフと、第2増幅回路15の動作状態（リセットおよび標本化）とを示す図である。

【図19】図8のA/D変換器のうち、第1増幅回路6、中間保持回路9、デマルチプレクサ11、信号線列および第2増幅回路15を代表する要素を示す回路図である。

【図20】第3増幅回路17Aおよび17Bの回路図である。

【図21】スイッチS12～S14のオン・オフと、第3増幅回路17Aおよび17Bの動作状態（標本化および増幅）とを示す図である。

【図22】図8に示す回路の要素がおこなう動作のタイミングを示す図である。

【図23】従来技術による直並列型A/D変換器を示すブロック図である。

【図24】本発明の信号伝達回路の回路図である。

【図25】図24に示す信号伝達回路におけるスイッチ248、249、2414の動作タイミング、および被駆動回路244の入力電圧の変化を示す図である。

【図26】図24に示す本発明の信号伝達回路の出力電圧の波形と、図27に示す従来の信号伝達回路を出力電

圧の波形とを示す図である。

【図27】従来技術による信号伝達回路の構成を示す図である。

【図28】図27の従来の信号伝達回路の選択スイッチの選択状態と、被駆動回路274の入力電圧とを示す図である。

【図29】本発明による信号伝達回路を用いた固体撮像素子の回路図である。

【図30】走査回路299の制御手順を示すタイミングチャートである。

【図31】図29の固体撮像素子2914を応用したデバイスの構成を示すブロック図である。

【符号の説明】

1、2 定電圧源

3 アナログ信号源

5 第1増幅回路列

6a～6i 第1増幅回路

7 ラッチ・中間保持回路列

8a～8i ラッチ回路

9a～9i 中間保持回路

10 デマルチプレクサ列

11a～11i デマルチプレクサ

12 信号線列

si1～si4 信号線

14 第2増幅回路列

15a～15d 第2増幅回路

16 補間回路

17A1～17A4、17B1～17B3 第3増幅回路

18a～18g ラッチ回路

19 クロック発生回路

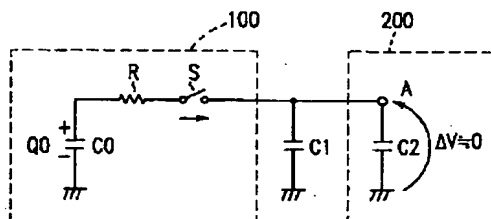
20 下位データ処理回路

21 演算回路

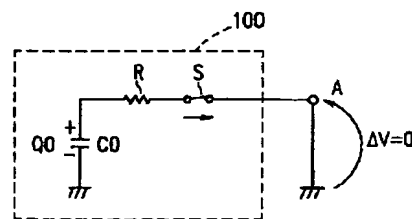
22 クロック入力端子

23 出力端子

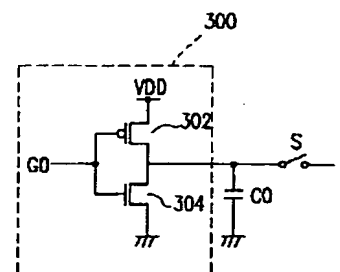
【図1】



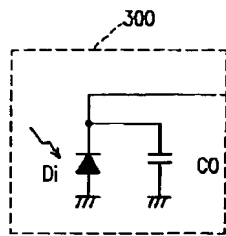
【図2】



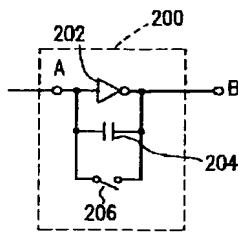
【図3】



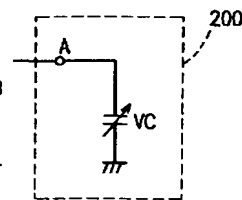
【図4】



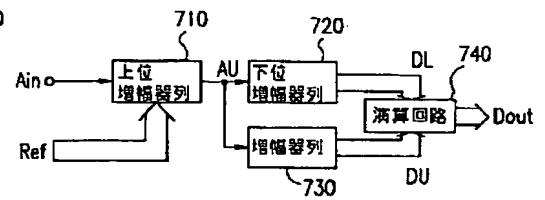
【図5】



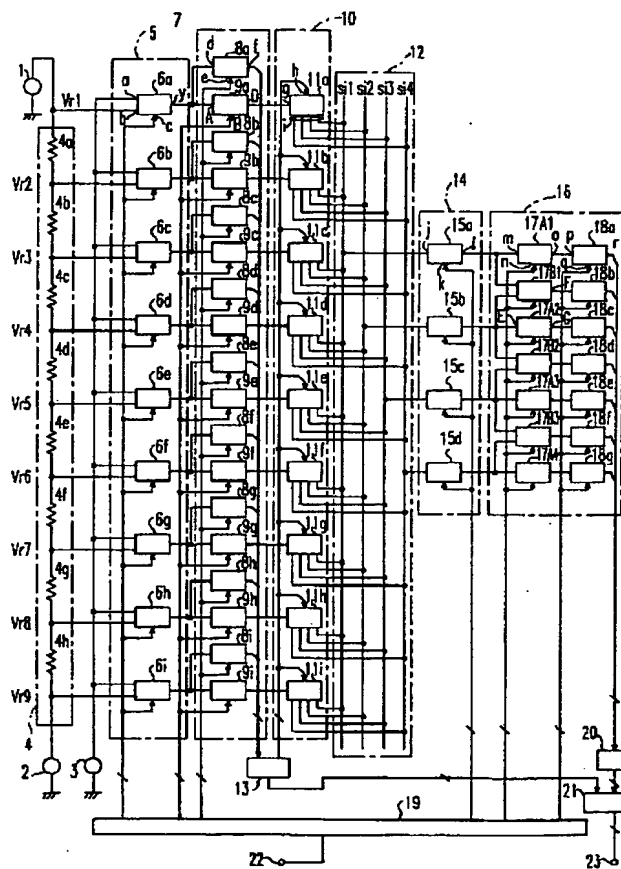
【図6】



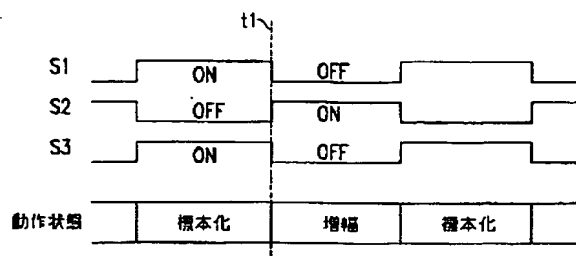
【図7】



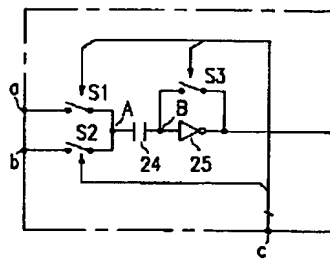
【図8】



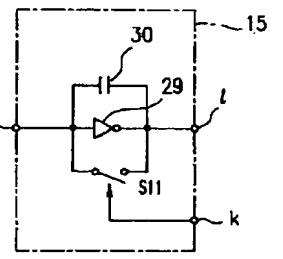
【図10】



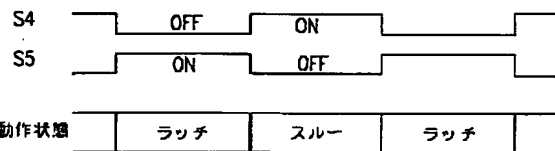
【図9】



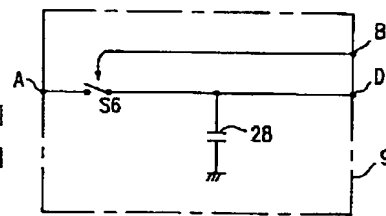
【図17】



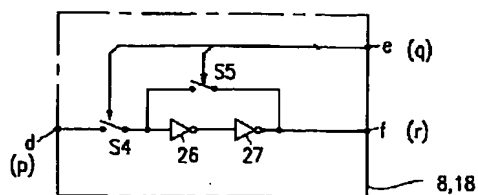
【図12】



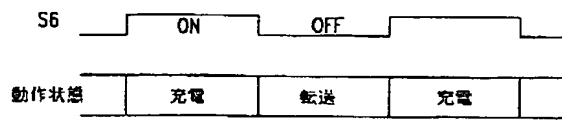
【図13】



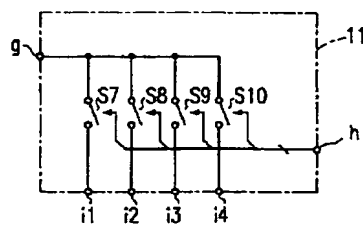
【図11】



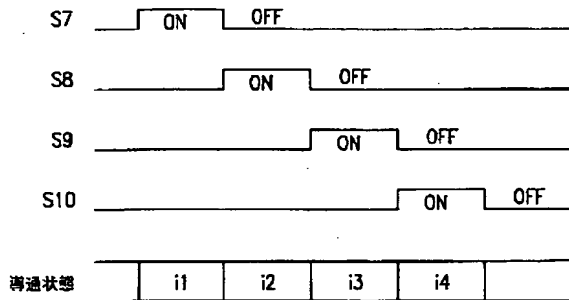
【図14】



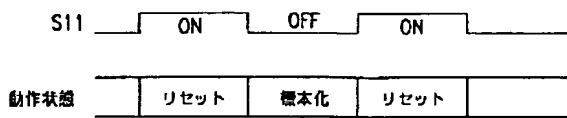
【図15】



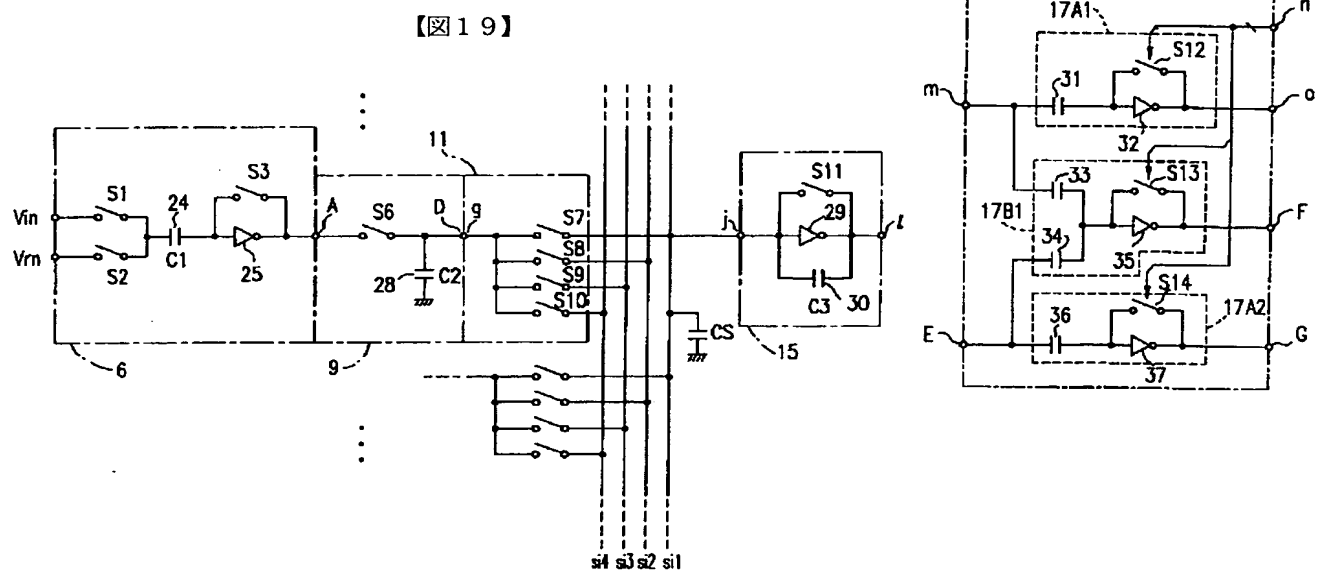
【図16】



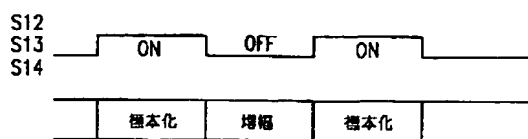
【図18】



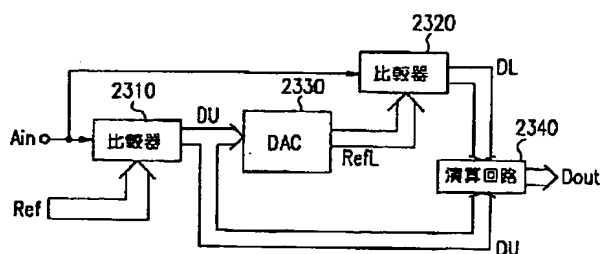
【図20】



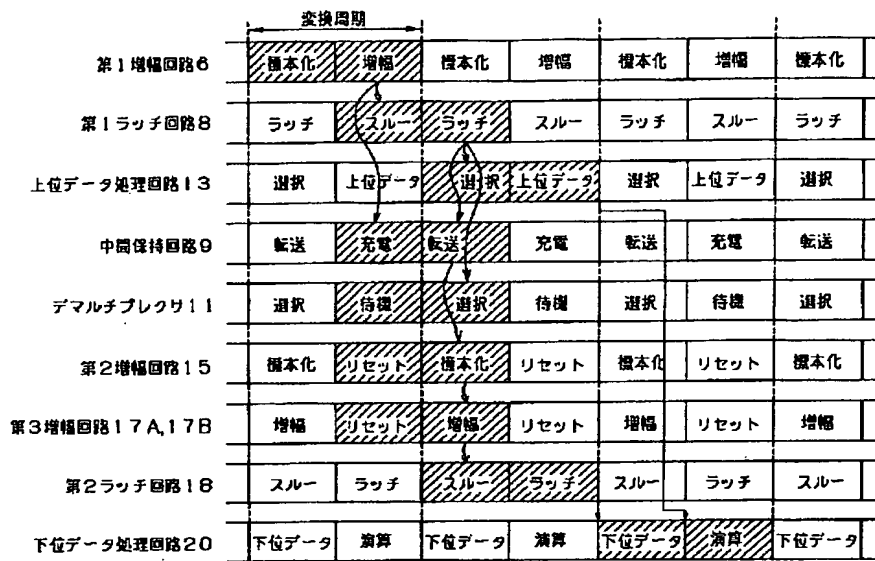
【図21】



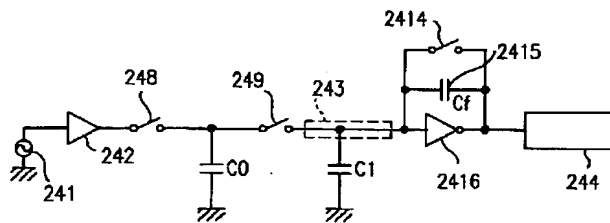
【図23】



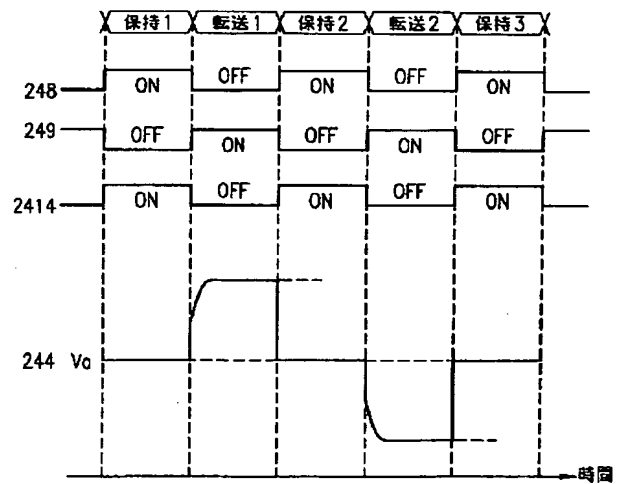
【図22】



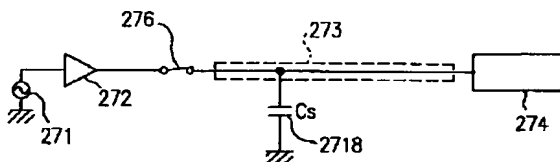
【図24】



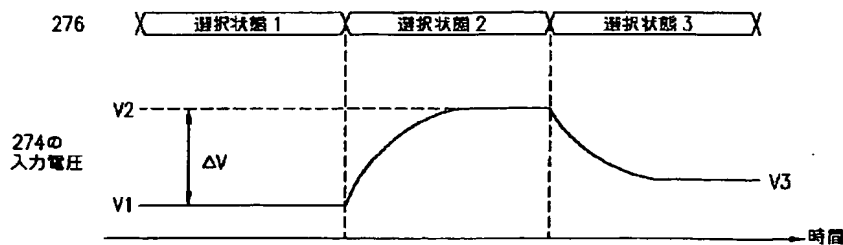
【図25】



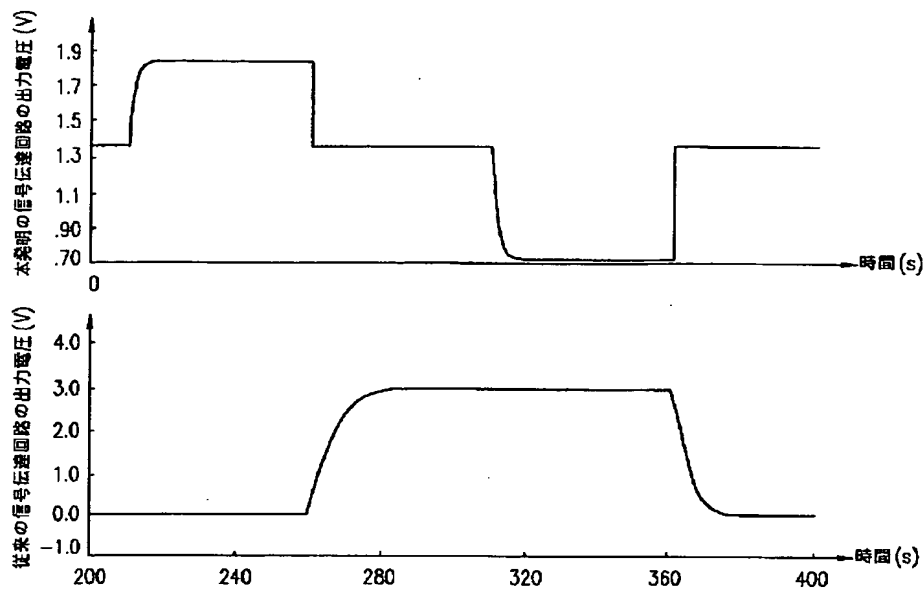
【図27】



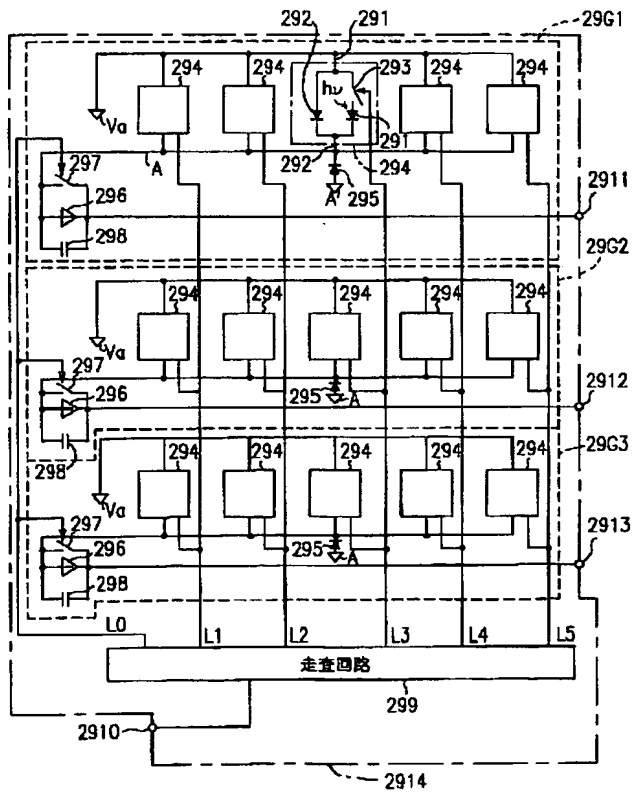
【図28】



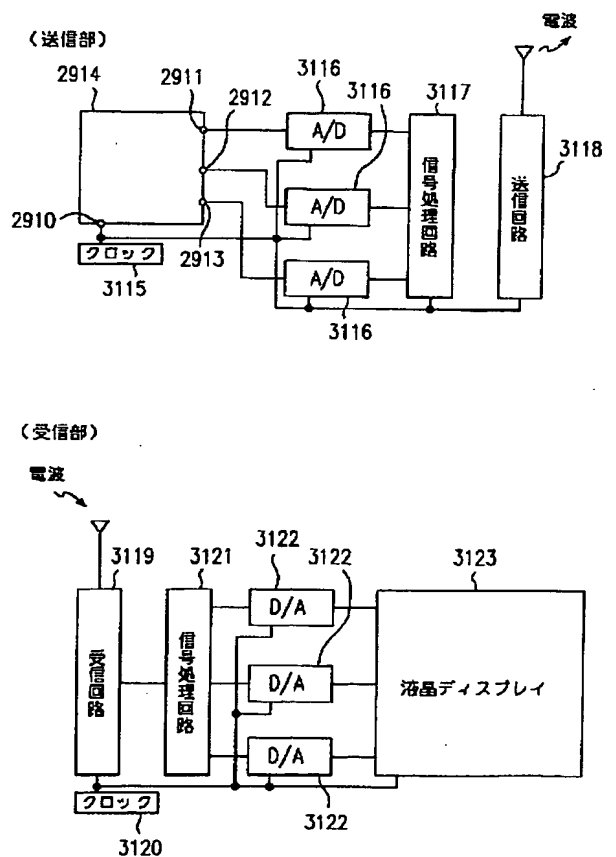
【図26】



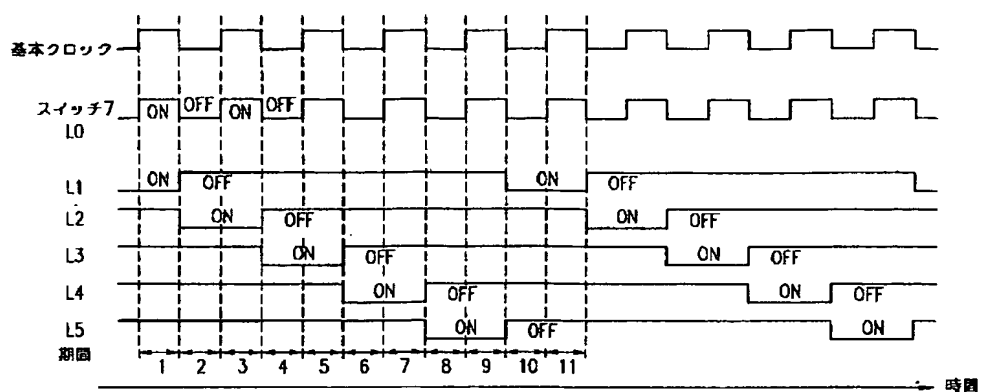
【図29】



【図31】



【図30】



フロントページの続き

(72)発明者 岡本 陽一
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内